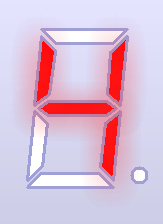
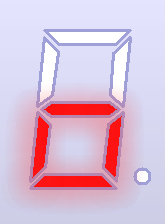
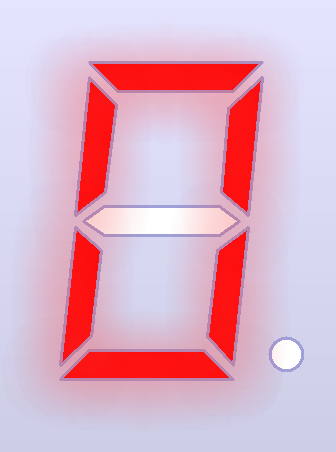
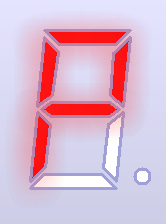
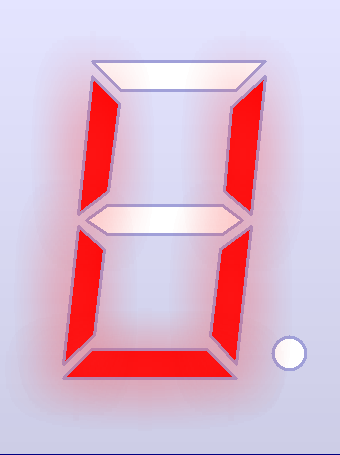
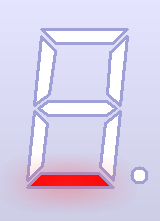
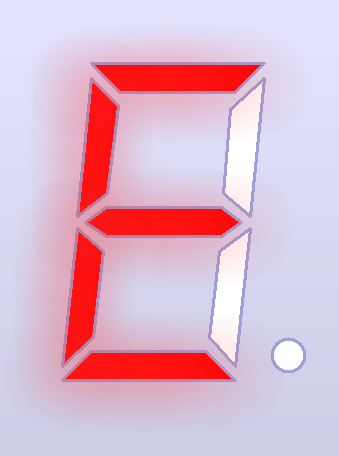
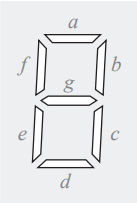
**Proyecto Equipo 5**

**Generador de 10 dígitos 4 bits.**

En equipos de dos personas diseñar el circuito lógico de un generador de dígitos a 4 bits en un Display de 7 segmentos.

Los dígitos a representar son:



****

**-Genera la tabla de verdad de casa segmento.**

1. Suma de productos estándar F(a):

-Minimización de la expresión lógica F(a) implementado el mapa de Karnaugh.

-Representa el diagrama del circuito lógico reducido del segmento.

1. Suma de productos estándar F(b):

-Minimización de la expresión lógica F(b) implementado el mapa de Karnaugh.

-Representa el diagrama del diagrama del circuito lógico reducido del segmento.

1. Suma de productos estándar F(c):

-Minimización de la expresión lógica F(c) implementado el mapa de Karnaugh.

-Representa el diagrama del circuito lógico reducido del segmento.

1. Suma de productos estándar F(d):

-Minimización de la expresión lógica F(d) implementado el mapa de Karnaugh.

-Representa el diagrama del circuito lógico reducido del segmento.

1. Suma de productos estándar F(e):

-Minimización de la expresión lógica F(e) implementado el mapa de Karnaugh.

-Representa el diagrama del circuito lógico reducido del segmento.

1. Suma de productos estándar F(f):

-Minimización de la expresión lógica F(f) implementado el mapa de Karnaugh.

-Representa el diagrama del circuito lógico reducido del segmento.

1. Suma de productos estándar F(g):

-Minimización de la expresión lógica F(g) implementado el mapa de Karnaugh.

-Representa el diagrama del circuito lógico reducido del segmento.

-Diagrama de completo.